

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Attorney Docket No.: 40296-0056

Applicant: Yong Deok CHO

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: INPUT/OUTPUT COMPRESSION TEST CIRCUIT

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0024416 filed April 17, 2003**

Respectfully submitted,

Date: 12/15/03

By Johnny A. Kumar  
Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0024416  
Application Number

출원 년 월 일 : 2003년 04월 17일  
Date of Application APR 17, 2003

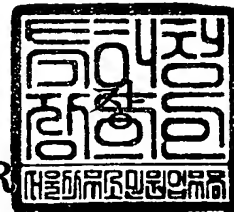
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.04.17
【국제특허분류】	H01L
【발명의 명칭】	입출력 압축 회로
【발명의 영문명칭】	Input/output compress circuit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	조용덕
【성명의 영문표기】	CH0, Yong Deok
【주민등록번호】	700505-1805418
【우편번호】	467-866
【주소】	경기도 이천시 부발읍 아미리 Hynix반도체(주)
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 9 면 9,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 499,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통 -.

## 【요약서】

### 【요약】

본 발명은 다수의 글로벌 입출력 라인에 실린 데이터를 압축하여 테스트하는 입출력 압축 회로에 관한 것으로, 다수의 글로벌 입출력 라인을 복수개의 그룹으로 나누어 각 그룹에 실린 데이터를 별도의 테스트 인에이블 신호에 의해 테스트하는 복수개의 테스트 블록과, 복수개의 테스트 블록들의 출력신호를 이용하여 테스트 결과를 판정하는 판단 블록과, 판단 블록으로부터 출력된 판단 신호를 이용하여 테스트 결과 신호를 출력하는 구동블록과, 테스트 블록들의 테스트 시점을 제어하고, 상기 판단 블록의 입력 단자를 초기화하며, 상기 구동 블록의 구동 시점을 제어하는 제어블록을 포함한다. 이러한 구성에 따르면, 전체 글로벌 입출력 라인을 동시에 테스트하여 패일 여부를 판단한 후에 패일이 발생할 때에만 글로벌 입출력 라인을 그룹별로 테스트하여 리페어 효율을 높일 수 있고, 리셋 회로를 사용하여 테스트 회로의 구성을 단순화하기 때문에 논리 회로 소자에 의해 발생하는 지연시간을 줄여 테스트 시간을 줄일 수 있고, 두 개의 샘플링 클럭 신호를 이용하여 글로벌 입출력 라인간의 스큐나 내부 회로에서 발생하는 글리치에 안정적으로 동작할 수 있다.

### 【대표도】

도 3

**【명세서】****【발명의 명칭】**

입출력 압축 회로{Input/output compress circuit}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 입출력 압축 테스트 회로를 나타낸 회로도.

도 2는 도 1에 도시된 테스트 블록의 상세 회로의 일 예를 나타낸 회로도.

도 3은 본 발명에 따른 입출력 압축 회로를 나타낸 블록도.

도 4는 도 3에 도시된 테스트 블록의 상세 회로를 나타낸 회로도.

도 5는 도 3에 도시된 제어 블록의 상세 회로를 나타낸 회로도.

도 6은 도 3에 도시된 판단 블록의 상세 회로를 나타낸 회로도.

도 7은 도 3에 도시된 구동 블록의 상세 회로를 나타낸 회로도.

도 8은 도 3에 도시된 입출력 압축 회로의 동작 신호들의 타이밍도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 메모리 셀을 테스트할 때 모든 입출력 핀을 테스트하지 않고 특정 입출력 핀만을 테스트하는 입출력 압축 회로(I/O compress circuit)에 관한 것으로, 보다 상세하게는 다수의 입출력 라인을 그룹으로 분리하고 프리차지 회로를 이용하여 패일(fail)이 발생한 그룹에 대해 다시 테스트를 수행하여 불량률을 줄일 수 있는 입출력 압축 회로에 관한 것이다.

- <10> 일반적으로 메모리를 테스트할 때, 모든 입출력 핀을 테스트하지 않고, 특정 입출력 핀 몇 개만으로 모든 बैं크와 입출력 핀을 테스트한다. 이와 같은 테스트 방법을 입출력 압축 테스트(I/O compress test)라 한다.
- <11> 예를 들어 X16 반도체 장치인 경우 먼저, 4개의 입출력 핀을 비교한 후 다시 4개씩 비교하면, 결과적으로 16개의 입출력 핀을 한꺼번에 비교할 수 있다. 따라서, 셀의 데이터는 한 개의 핀으로 출력된다.
- <12> 또한 각 बैं크 당 한 개의 핀을 할당하여 사용하면 4개의 핀만으로 모든 बैं크의 셀을 테스트할 수 있다.
- <13> 따라서 테스트 시간을 단축시키고 탐침 카드(probe card)의 니들(niddle)수 및 테스트 장비의 채널 수 및 용량을 줄일 수 있기 때문에 테스트 비용을 줄일 수 있다.
- <14> 도 1은 종래 기술에 따른 입출력 압축 테스트 회로를 나타낸 회로도이다. 여기서는 16개의 입출력 글로벌 라인 GIO<0:15>을 압축하여 테스트하는 경우를 예를 들어 설명한다.
- <15> 입출력 압축 테스트 회로는, 16개의 출력 글로벌 라인 GIO<0:15>을 4개의 그룹으로 나누고, 각 그룹을 테스트하는 테스트 블록(1~4)과, 테스트 블록(1~4)의 테스트 결과를 비교하여 결함여부를 판별하는 결함 판별 블록(5)과, 스트로브 신호 STN를 출력하여 스트로브 신호 STN에 동기시켜 결함 판별 블록(5)으로부터 출력된 결과를 출력하는 스트로브 블록(6)을 포함한다.
- <16> 각 테스트 블록(1~4)은 배타적 노아 게이트(exclusive NOR)로 구성된다. 즉, 각 테스트 블록(1~4)은 해당하는 글로벌 입출력 라인 GIO<0:15>에 실린 데이터가 동일한지 여부를 판별한다.

- <17> 도 2는 도 1에 도시된 테스트 블록의 상세 회로의 일 예를 나타낸 회로도이다. 여기서는 하나의 테스트 블록(1)을 도시하였다. 다른 테스트 블록들(2~4)의 구성은 도시된 테스트 블록(1)의 구성과 동일한 소자들로 동일하게 구성된다.
- <18> 테스트 블록(1)은 글로벌 입출력 라인들 GIO<0>, <1> 및 GIO<2>, <3>에 실린 데이터들을 각각 부정논리 곱하는 낸드게이트들 ND1, ND2과, 글로벌 입출력 라인들 GIO<0>, <1> 및 GIO<2>, <3>에 실린 데이터들을 각각 부정논리 합하는 노아게이트들 NOR1, NOR2과, 낸드게이트들 ND1, ND2로부터 출력된 신호들을 부정 논리 합하는 노아게이트 NOR3와, 노아게이트 ND3로부터 출력된 신호를 반전시키는 인버터 INV1와, 노아게이트들 NOR1, NOR2로부터 출력된 신호들을 부정 논리 곱하는 낸드게이트 ND3와, 인버터 INV1로부터 출력된 신호 및 낸드게이트 ND3로부터 출력된 신호를 부정 논리 곱하는 낸드게이트 ND4를 포함한다.
- <19> 메모리 셀에 로우 레벨 "0"의 테스트 데이터를 저장한 경우 모든 글로벌 입출력 라인 GIO<0:15>에 실린 데이터는 모두 로우 레벨 "0"이 되면 모든 테스트 블록(1~4)은 하이 레벨을 갖는 신호 TBS1~TBS4를 출력하고, 하이 레벨 "1"의 테스트 데이터를 저장한 경우 모든 글로벌 입출력 라인 GIO<0:15>에 실린 데이터는 모두 하이 레벨 "1"이 되면 모든 테스트 블록(1~4)은 하이 레벨을 갖는 신호 TBS1~TBS4를 출력한다.
- <20> 한편, 글로벌 입출력 라인 GIO<0:15>에 실린 데이터 중에서 어느 하나라도 초기에 저장된 테스트 데이터와 다른 데이터가 출력되면 해당하는 테스트 블록(1~4)은 로우 레벨을 갖는 신호 TBS1~TBS4를 출력한다.
- <21> 결함 판별 블록(5)은 테스트 블록들(1~4)로부터 출력된 신호들을 부정 논리 곱하는 낸드게이트 ND5와, 낸드게이트 ND5로부터 출력된 신호를 반전시키는 인버터 INV2와, 인버터 INV2로부터 출력된 신호 및 스트로브 신호 STN가 인버터 INV3에 의해 반전된 신호를 부정 논리 곱



하는 낸드게이트 ND6와, 인버터 INV2로부터 출력된 신호 및 스트로브 신호 STN를 부정 논리 합하는 노아게이트 NOR4와, 전원전압 VCC과 접지전압 VSS 사이에 직렬 연결되어 게이트에 낸드게이트 ND6와 노아게이트 NOR4로부터 출력된 신호들이 각각 인가되는 피모스 트랜지스터 PM1 및 엔모스 트랜지스터 NM1와, 피모스 트랜지스터 PM1과 엔모스 트랜지스터 NM1의 공통 드레인의 전위를 비반전 래치하는 래치블록(7)을 포함한다. 여기서 래치블록(7)은 자신의 출력단자가 서로의 입력단자에 접속된 두 개의 인버터 INV4, INV5를 포함한다.

<22> 낸드게이트 ND1는 모든 테스트 블록(1~4)으로부터 출력된 신호 TBS1~TBS4가 모두 하이 레벨인 경우에만, 즉 정상일 경우에만 로우 레벨의 신호를 출력한다.

<23> 따라서, 인버터 INV1로부터 출력된 신호는 하이 레벨이 되고, 스트로브 블록(6)으로부터 출력된 신호 STN에 동기되어 낸드게이트 ND2는 로우 레벨의 풀업 신호를 출력하여 피모스 트랜지스터 PM1가 턴 온 되고, 출력 신호 TGIO가 하이 레벨로 풀업된다. 이때, 노아게이트 NOR1는 로우 레벨의 풀다운 신호를 출력하여 엔모스 트랜지스터 NM1가 턴 오프 된다. 또한 피모스 트랜지스터 PM1에 의해 풀업된 출력신호 TGIO는 래치블록(7)에 의해 하이 레벨이 유지된다.

<24> 한편, 테스트 블록들(1~4)로부터 출력된 신호들 TBS1~TBS4 중에서 적어도 하나의 신호가 로우 레벨이 되면, 즉 패일이 발생하면, 낸드게이트 ND1로부터 출력된 신호는 하이 레벨이 된다.

<25> 따라서, 인버터 INV1로부터 출력된 신호는 로우 레벨이 되고, 스트로브 블록(6)으로부터 출력된 신호 STN에 동기되어 낸드게이트 ND2는 하이 레벨의 풀업신호를 출력하여 피모스 트랜지스터 PM1가 턴 오프 된다. 이때, 노아게이트 NOR1는 하이 레벨의 풀다운 신호를 출력하여 엔모스 트랜지스터 NM1가 턴 온 되고, 출력 신호 TGIO가 로우 레벨로 풀다운된다. 또한 엔모스 트랜지스터 NM1에 의해 풀다운된 출력신호 TGIO는 래치블록(7)에 의해 로우 레벨이 유지된다.

- <26> 스트로브 블록(6)은 글로벌 입출력 라인 GIO에 데이터가 실린 시점을 나타내는 신호 GIOSTP 및 테스트 모드를 나타내는 신호 TMCOMP를 부정 논리 곱하는 낸드게이트 ND7와, 낸드게이트 ND7로부터 출력된 신호를 일정시간 지연시키는 지연블록(8)을 포함한다. 여기서 지연 블록(8)은 짝수개의 인버터를 포함한다.
- <27> 스트로브 블록(6)은 테스트 모드일 때, 결합 판별 블록(5)이 검출하는 시점을 데이터가 글로벌 입출력 라인 GIO에 실린 시점부터 테스트 블록(1~4)을 거쳐 결합 판별 블록(5)에 인가되는 시점에 동기시키기 위해, 해당하는 만큼의 시간을 지연블록(8)에 의해 지연시킨다. 즉, 지연블록(8)의 지연시간은 테스트 데이터가 글로벌 입출력 라인 GIO에 실린 시점으로부터 결합 판별 블록(5)에 인가되기까지의 시간이다.
- <28> 이와 같이 동작하는 종래 기술에 따른 입출력 압축 회로는 출력신호 TGIO가 로우 레벨이 되어 패일이 발생하면, 특정 글로벌 입출력 라인 GIO에서 발생하였는지 판별할 수 없기 때문에 16개의 글로벌 입출력 라인 GIO<0:15>에 해당하는 모든 셀을 구제해야 한다. 따라서 리페어 효율이 떨어지고 구제할 수 있는 칩도 구제불가능 칩으로 구분되어 버려지게 된다.
- <29> 또한, 글로벌 입출력 라인 GIO간의 스큐(skew)가 존재하거나, 테스트 블록(1~4)을 구성하는 게이트들의 지연시간이 다른 경우 인버터 INV1로부터 출력된 신호에 글리치(glitch)가 발생하여 낸드게이트 ND2 및 노아게이트 NOR1가 잘못된 레벨을 샘플링하게 되면 패일이 발생하지 않은 정상 칩에 대해 패일 판정을 하게 되는 문제점이 발생한다.

#### 【발명이 이루고자 하는 기술적 과제】

- <30> 상기 문제점을 해결하기 위한 본 발명의 목적은, 글로벌 입출력 라인을 그룹별로 테스트하여 리페어 효율을 높이는 것이다.

<31>       상기 문제점을 해결하기 위한 본 발명의 다른 목적은, 테스트 회로의 구성을 단순화하여 테스트 시간을 줄이는 것이다.

<32>       상기 문제점을 해결하기 위한 본 발명의 또 다른 목적은, 두 개의 샘플링 클럭 신호를 이용하여 글로벌 입출력 라인간의 스큐나 내부 회로에서 발생하는 글리치에 안정적으로 동작하는 것이다.

### 【발명의 구성 및 작용】

<33>       상기 목적을 달성하기 위한 본 발명의 입출력 압축 회로는, 다수의 글로벌 입출력 라인에 실린 데이터를 압축하여 테스트하는 입출력 압축 회로에 있어서, 상기 다수의 글로벌 입출력 라인을 복수개의 그룹으로 나누어 각 그룹에 실린 데이터를 별도의 테스트 인에이블 신호에 의해 테스트하는 복수개의 테스트 블록; 상기 복수개의 테스트 블록들의 출력신호를 이용하여 테스트 결과를 판정하는 판단 블록; 상기 판단 블록으로부터 출력된 판단 신호를 이용하여 테스트 결과 신호를 출력하는 구동블록; 및 상기 테스트 블록들의 테스트 시점을 제어하고, 상기 판단 블록의 입력 단자를 초기화하며, 상기 구동 블록의 구동 시점을 제어하는 제어블록을 포함하는 것을 특징으로 한다.

<34>       상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

<35>       이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

<36>       도 3은 본 발명에 따른 입출력 압축 회로를 나타낸 블록도이다. 여기서는 16개의 글로벌 입출력 라인 GIO<0:15>을 한번에 테스트하는 입출력 압축 회로와 관련된 회로들만을 도시하여 설명한다.

- <37>       입출력 압축 회로는, 16개의 글로벌 입출력 라인 GIO<0:15>을 4개씩 그룹을 형성하여 테스트하는 테스트 블록들(10, 20, 30, 40)과, 테스트 블록들의 테스트 결과 UP, DN를 이용하여 정상 여부를 판단하는 판단블록(60)과, 판단블록(60)의 판단 결과 EQN를 동기신호 SACLKD에 동기하여 테스트 결과 TGIO를 출력하는 구동블록(70)과, 테스트 블록들(10, 20, 30, 40), 판단블록(60) 및 구동블록(70)을 제어하는 제어블록(50)을 포함한다.
- <38>       도 4는 도 3에 도시된 테스트 블록의 상세 회로를 나타낸 회로도이다. 여기서는 테스트 블록(10)만을 도시하였지만, 다른 테스트 블록들(20, 30, 40)의 구성은 도시된 테스트 블록(10)의 구성과 동일한 소자들로 동일하게 구성된다.
- <39>       테스트 블록(10)은, 압축 테스트 인에이블 신호 TMCOMP, 테스트 블록 인에이블 신호 TMDQ1 및 스트로브 신호 SACLK를 부정 논리 곱하는 낸드게이트 ND11와, 낸드게이트 ND11로부터 출력된 신호를 반전하는 인버터 INV11와, 낸드게이트 ND11로부터 출력된 신호에 의해 제어되어 해당하는 글로벌 입출력 라인 그룹 GIO<0:3>에 실린 데이터가 적어도 하나가 로우 레벨인 경우 하이 레벨의 테스트 결과 UP1를 출력하는 풀업블록(11)과, 인버터 INV11로부터 출력된 신호에 의해 제어되어 해당하는 글로벌 입출력 라인 그룹 GIO<0:3>에 실린 데이터가 적어도 하나가 하이 레벨인 경우 로우 레벨의 테스트 결과 DN1를 출력하는 풀다운 블록(12)을 포함한다.
- <40>       여기서, 풀업 블록(11)은 게이트에 낸드게이트 ND11로부터 출력된 신호가 인가되는 피모스 트랜지스터들 PM11~PM14과, 게이트에 각각 글로벌 입출력 라인 그룹 GIO<0:3> 중의 해당하는 글로벌 입출력 라인이 연결된 피모스 트랜지스터들 PM15~PM18을 포함하는데, 피모스 트랜지스터들 PM11~PM14의 소스에는 전원전압이 인가되고, 소스는 해당하는 피모스 트랜지스터들 PM15~PM18의 드레인에 각각 접속되고, 피모스 트랜지스터들 PM15~PM18의 드레인은 공통으로 출력단자 UP1에 접속된다.

- <41> 풀다운 블록(12)은 게이트에 인버터 INV11로부터 출력된 신호가 인가되는 엔모스 트랜지스터들 NM11~NM14과, 게이트에 각각 글로벌 입출력 라인 그룹 GIO<0:3> 중의 해당하는 글로벌 입출력 라인이 연결된 엔모스 트랜지스터들 NM15~NM18을 포함하는데, 엔모스 트랜지스터들 NM11~NM14의 소스는 접지전압에 접속되고, 드레인에는 해당하는 엔모스 트랜지스터들 NM15~NM18의 소스에 각각 접속되고, 엔모스 트랜지스터들 NM15~NM18의 드레인은 공통으로 출력단자 DN1에 접속된다.
- <42> 테스트 블록들(10, 20, 30, 40)은 각각 해당하는 글로벌 입출력 라인 그룹을 테스트하는데, 해당하는 테스트 블록 인에이블 신호 TMDQ1~4에 의해 독립적으로 테스트를 수행할 수 있다. 즉, 처음 테스트 시에는 모든 테스트 블록 인에이블 신호 TMDQ1~4가 모두 인에이블 되어 전체 16개 글로벌 입출력 라인 GIO<0:15>에 대해 테스트를 수행하고, 이때 정상 판정이 된 경우에는 2차 테스트를 수행하지 않지만, 패일 판정이 된 경우에는 각 테스트 블록들(10, 20, 30, 40)을 순차적으로 테스트하여 패일된 글로벌 입출력 라인 그룹을 찾는다.
- <43> 따라서, 전체 글로벌 입출력 라인 GIO<0:15>을 테스트하여 패일 판정된 경우, 16개 셀을 모두 리페어 하지 않고, 다시 각 글로벌 입출력 라인 그룹에 대해 테스트하여 패일 판정된 글로벌 입출력 라인 그룹에 해당하는 셀에 대해서만 리페어를 수행하기 때문에 리페어 효율을 높일 수 있다.
- <44> 도 5는 도 3에 도시된 제어 블록의 상세 회로를 나타낸 회로도이다.
- <45> 제어블록(50)은 글로벌 입출력 라인 GIO에 데이터가 실린 시점을 나타내는 신호 GIOSTP 및 테스트 모드를 나타내는 신호 TMCOMP를 부정 논리 곱하는 낸드게이트 ND12와, 낸드게이트 ND12로부터 출력된 신호를 일정시간 지연하는 지연블록(51)과, 낸드게이트 ND12로부터 출력된 신호 및 지연블록(51)으로부터 출력된 신호를 부정 논리 곱하는 낸드게이트 ND13와, 낸드게이

트 ND13로부터 출력된 신호를 반전하여 스트로브 신호 SACLK를 출력하는 인버터 INV12와, 인버터 INV12로부터 출력된 신호 SACLK를 일정시간 지연하여 지연 스트로브 신호 SACLKD를 출력하는 지연블록(52)과, 테스트 모드를 나타내는 신호 TMCOMP 및 낸드게이트 ND12로부터 출력된 신호를 부정 논리 곱하여 리셋 신호 RESET를 출력하는 낸드게이트 ND14를 포함한다. 여기서, 지연 블록들(51, 2)은 각각 홀수개의 인버터를 포함하는 인버터 체인으로 구성된다.

<46> 제어 블록(50)은 전체 회로를 초기화하거나 글로벌 입출력 라인간의 스큐와 논리 회로 소자에서 발생하는 글리치에 대하여 안정적인 동작을 수행하도록 보정하는 역할을 한다.

<47> 먼저, 글로벌 입출력 라인 스트로브 신호 GIOSTP 및 압축 테스트 인에이블 신호 TMCOMP가 낸드게이트 ND12에 의해 부정 논리 조합된 신호는 지연 블록(51)에 의해 지연되어 낸드게이트 ND13 및 인버터 INV12에 의해 펄스 신호인 스트로브 신호 SACLK가 출력되는데, 스트로브 신호 SACLK는 테스트 블록(10, 20, 30, 40)의 테스트 타이밍으로 제어한다.

<48> 또한 스트로브 신호 SACLK는 지연 블록(52)에 의해 지연되어 지연 스트로브 신호 SACLKD를 출력하는데, 지연 스트로브 신호 SACLKD는 구동 블록(70)이 테스트 결과 TGIO를 출력하는 타이밍을 제어한다.

<49> 압축 테스트 인에이블 신호 TMCOMP 및 낸드게이트 ND12로부터 출력된 신호가 낸드게이트 ND14에 의해 부정 논리 조합되어 리셋 신호 RESET가 출력되는데, 리셋 신호 RESET는 판단 블록(60)의 입력 단자를 초기화한다.

<50> 도 6은 도 3에 도시된 판단 블록의 상세 회로를 나타낸 회로도이다.

<51> 판단 블록(60)은 입력단자 UP, DN의 전위를 각각 래치하는 래치블록들(61, 62)과, 입력단자 DN의 전위 및 래치블록(62)의 출력단자의 전위에 의해 제어되어, 래치블록(61)의 출력단

자의 전위를 선택적으로 전송하는 전송게이트 TG1와, 입력단자 DN의 전위 및 래치블록(62)의 출력단자의 전위에 의해 제어되어, 래치블록(61)의 출력단자의 전위가 인버터 INV13에 의해 반전된 전위를 선택적으로 전송하는 전송게이트 TG2와, 리셋 신호 RESET 및 리셋 신호 RESET가 인버터 INV14에 의해 반전된 신호에 의해 입력단자들 UP, DN을 각각 접지전압 및 전원전압으로 프리차지 하는 엔모스 트랜지스터 NM19 및 피모스 트랜지스터 PM19를 포함한다. 여기서, 래치블록(61, 62)은 반전 래치로 동작하며, 자신의 출력단자가 서로의 입력단자에 각각 접속된 두 개의 인버터 INV15, INV16 및 INV17, INV18를 포함하여 각각 구성된다.

<52> 먼저, 리셋 신호가 하이 레벨로 인에이블 되면 엔모스 트랜지스터 NM19 및 피모스 트랜지스터 PM19에 의해 입력단자 UP, DN를 접지전압 및 전원전압으로 각각 프리차지 한다.

<53> 하이 레벨의 테스트 데이터를 저장하고 테스트한 결과가 정상인 경우, 테스트 블록(10~40)으로부터 출력된 신호 UP1~4는 플로우팅(floating) 되어 판단 블록(60)의 입력단자 UP는 로우 레벨을 유지하고, 테스트 블록(10~40)으로부터 출력된 다른 신호 DN1~4는 모두 로우 레벨이 된다.

<54> 따라서, 전송게이트 TG1은 턴 오프 되고, 다른 전송게이트 TG2는 턴 온 되어 로우 레벨의 신호 EQN를 출력한다.

<55> 한편, 하이 레벨의 테스트 데이터를 저장하고 테스트한 결과가 패일인 경우, 테스트 블록(10~40)으로부터 출력된 신호 UP1~4 중의 적어도 하나는 하이 레벨이 되어 판단 블록(60)의 입력단자 UP는 하이 레벨이 되고, 모든 데이터가 패일이 아닌 경우 테스트 블록(10~40)으로부터 출력된 다른 신호 DN1~4 중의 적어도 어는 하나는 로우 레벨이 되어 판단 블록(60)의 입력단자 DN는 로우 레벨이 된다.

- <56> 따라서, 전송게이트 TG1은 턴 오프 되고, 다른 전송게이트 TG2는 턴 온 되어 하이 레벨의 신호 EQN를 출력한다.
- <57> 또한, 로우 레벨의 테스트 데이터를 저장하고 테스트한 결과가 정상인 경우, 테스트 블록(10~40)으로부터 출력된 신호 UP1~4는 플로우팅(floating) 되어 판단 블록(60)의 입력단자 UP는 로우 레벨을 유지하고, 테스트 블록(10~40)으로부터 출력된 다른 신호 DN1~4는 모두 로우 레벨이 된다.
- <58> 따라서, 전송게이트 TG1은 턴 오프 되고, 다른 전송게이트 TG2는 턴 온 되어 로우 레벨의 신호 EQN를 출력한다.
- <59> 한편, 로우 레벨의 테스트 데이터를 저장하고 테스트한 결과가 패일인 경우, 모든 데이터가 패일이 아닌 경우 테스트 블록(10~40)으로부터 출력된 신호 UP1~4 중의 어느 하나는 하이 레벨이 되어 판단 블록(60)의 입력단자 UP는 하이 레벨을 유지하고, 테스트 블록(10~40)으로부터 출력된 다른 신호 DN1~4 중 적어도 어느 하나는 로우 레벨이 된다.
- <60> 따라서, 전송게이트 TG1은 턴 오프 되고, 다른 전송게이트 TG2는 턴 온 되어 하이 레벨의 신호 EQN를 출력한다.
- <61> 도 7은 도 3에 도시된 구동 블록의 상세 회로를 나타낸 회로도이다.
- <62> 구동 블록(70)은 판단 블록(60)으로부터 출력된 신호 EQN가 인버터 INV19에 의해 반전된 신호 및 지연 스트로브 신호 SACLKD가 인버터 INV20에 의해 반전된 신호를 부정 논리 곱하는 낸드게이트 ND15와, 지연 스트로브 신호 SACLKD 및 인버터 INV19로부터 출력된 신호를 부정 논리 합하는 노아게이트 NOR11와, 전원전압과 접지전압 사이에 직렬 연결되고, 게이트에 낸드게이트 ND15로부터 출력된 신호 및 노아게이트 NOR11로부터 출력된 신호가 각각 인가되는 피모스



트랜지스터 PM20 및 엔모스 트랜지스터 NM20와, 피모스 트랜지스터 PM20 및 엔모스 트랜지스터 NM20의 공통 드레인의 전위를 래치하는 래치블록(71)을 포함한다. 여기서, 래치 블록(71)은 자신의 출력단자가 서로의 입력단자에 접속되는 두 개의 인버터 INV21, INV22를 포함하는 비반전 래치 형태를 갖는다.

<63> 먼저, 테스트 결과가 정상으로 판정되어 판단 블록(60)으로부터 출력된 신호 EQN가 로우 레벨이면, 낸드게이트 ND15는 판단 신호 EQN가 인버터 INV19에 의해 반전된 신호 및 지연 스트로브 신호 SACLKD가 인버터 INV20에 의해 반전된 신호를 논리 조합하여 로우 레벨의 신호를 출력하여 피모스 트랜지스터 PM20를 턴 온 시킨다. 이때, 엔모스 트랜지스터 NM20는 노아게이트 NOR11에 의해 인버터 INV19로부터 출력된 신호 및 지연 스트로브 신호 SACLKD를 논리 조합된 신호가 로우 레벨이 되기 때문에 턴 오프 상태를 유지한다. 따라서, 테스트 결과 TGIO는 하이 레벨이 되며, 래치블록(71)에 의해 래치된다.

<64> 한편 테스트 결과가 패일로 판정되어 판단 블록(60)으로부터 출력된 신호 EQN가 하이 레벨이면, 낸드게이트 ND15는 하이 레벨의 신호를 출력하여 피모스 트랜지스터 PM20는 턴 오프 되고, 노아게이트 NOR11는 하이 레벨의 신호를 출력하여 엔모스 트랜지스터 NM20가 턴 온 되어 테스트 결과 TGIO는 로우 레벨이 되며, 래치 블록(71)에 의해 래치된다.

<65> 압축 테스트 모드가 아닌 정상 리드 동작 시에는 지연 스트로브 신호 SACLKD가 하이 레벨이 되어 피모스 트랜지스터 PM20 및 엔모스 트랜지스터 NM20가 모두 턴 오프 되어 출력단자는 플로우팅 된다.

<66> 도 8은 도 3에 도시된 입출력 압축 회로의 동작 신호들의 타이밍도이다. 여기서는 하이 레벨의 테스트 데이터를 사용하는 경우에서 정상 판정되는 경우를 예를 들어 도시하였다.

**【발명의 효과】**

- <67>       이상에서 살펴본 바와 같이, 본 발명에 따른 입출력 압축 회로는 전체 글로벌 입출력 라인을 동시에 테스트하여 패일 여부를 판단한 후에 패일이 발생할 때에만 글로벌 입출력 라인을 그룹별로 테스트하여 리페어 효율을 높일 수 있는 효과가 있다.
- <68>       또한, 리셋 회로를 사용하여 테스트 회로의 구성을 단순화하기 때문에 논리 회로 소자에 의해 발생하는 지연시간을 줄여 테스트 시간을 줄일 수 있는 효과가 있다.
- <69>       게다가, 두 개의 샘플링 클럭 신호를 이용하여 글로벌 입출력 라인간의 스큐나 내부 회로에서 발생하는 글리치에 안정적으로 동작할 수 있는 효과가 있다.
- <70>       아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.



【특허청구범위】

【청구항 1】

다수의 글로벌 입출력 라인에 실린 데이터를 압축하여 테스트하는 입출력 압축 회로에 있어서,

상기 다수의 글로벌 입출력 라인을 복수개의 그룹으로 나누어 각 그룹에 실린 데이터를 별도의 테스트 인에이블 신호에 의해 테스트하는 복수개의 테스트 블록;

상기 복수개의 테스트 블록들의 출력신호를 이용하여 테스트 결과를 판정하는 판단 블록 ;

상기 판단 블록으로부터 출력된 판단 신호를 이용하여 테스트 결과 신호를 출력하는 구동블록; 및

상기 테스트 블록들의 테스트 시점을 제어하고, 상기 판단 블록의 입력 단자를 초기화하며, 상기 구동 블록의 구동 시점을 제어하는 제어블록을 포함하는 것을 특징으로 하는 입출력 압축 회로.

【청구항 2】

제 1 항에 있어서,

상기 각 테스트 블록은,

압축 테스트 인에이블 신호, 해당하는 테스트 인에이블 신호 및 테스트 시점을 제어하는 신호를 조합하는 논리 수단;



상기 논리 수단으로부터 출력된 신호에 의해 인에이블되어 상기 해당하는 글로벌 입출력 라인 그룹에 실린 데이터 중의 적어도 하나가 로우 레벨일 경우 하이 레벨을 출력하는 제1 테스트 수단; 및

상기 논리 수단으로부터 출력된 신호에 의해 인에이블되어 상기 해당하는 글로벌 입출력 라인 그룹에 실린 데이터 중의 적어도 하나가 하이 레벨일 경우 로우 레벨을 출력하는 제2 테스트 수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

**【청구항 3】**

제 2 항에 있어서,

상기 판단 블록은,

상기 모든 테스트 블록의 제1 테스트 수단의 출력단자가 공통 연결된 제1 입력단자;

상기 모든 테스트 블록의 제2 테스트 수단의 출력단자가 공통 연결된 제2 입력단자;

상기 제2 입력단자의 전위에 따라 상기 제1 입력단자의 전위를 선택적으로 전송하는 제1 전송수단; 및

상기 제2 입력단자의 전위에 따라 상기 제1 입력단자의 전위가 반전된 신호를 선택적으로 전송하는 제2 전송수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

**【청구항 4】**

제 3 항에 있어서,

상기 판단 블록은,

상기 제1 입력단자의 전위를 유지하는 제1 래치수단; 및

상기 제2 입력단자의 전위를 유지하는 제2 래치수단을 더 포함하는 것을 특징으로 하는  
입출력 압축 회로.

【청구항 5】

제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 판단 블록은,

상기 제어 블록으로부터 출력된 신호에 의해 제어되어 상기 제1 입력단자의 전위를 선택  
적으로 초기화하는 제1 초기화 수단; 및

상기 제어 블록으로부터 출력된 신호에 의해 제어되어 상기 제2 입력단자의 전위를 선택  
적으로 초기화하는 제2 초기화 수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

【청구항 6】

제 1 항에 있어서,

상기 구동 블록은,

상기 제어 블록으로부터 출력된 신호에 동기하여 상기 판단 블록으로부터 출력된 신호를  
선택적으로 전송하는 전송 수단; 및

상기 전송 수단에 의해 선택적으로 전송된 신호를 이용하여 출력단자를 풀업하거나 풀다  
운 하는 구동수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

**【청구항 7】**

제 6 항에 있어서,

상기 구동 블록은, 상기 출력단자의 전위를 유지하는 래치수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

**【청구항 8】**

제 1 항에 있어서,

상기 제어 블록은,

압축 테스트 인에이블 신호 및 상기 글로벌 입출력 라인에 데이터가 실린 시점을 나타내는 신호를 이용하여 상기 테스트 블록들의 테스트 시점을 제어하는 신호를 발생하는 스트로브 신호 발생수단;

상기 압축 테스트 인에이블 신호 및 상기 글로벌 입출력 라인에 데이터가 실린 시점을 나타내는 신호를 이용하여 상기 판단 블록의 입력단자를 초기화하는 신호를 발생하는 초기화 신호 발생수단; 및

상기 스트로브 신호 발생수단으로부터 출력된 신호를 특정시간만큼 지연하여 상기 구동 블록의 구동 시점을 제어하는 신호를 발생하는 구동 제어 신호 발생수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

**【청구항 9】**

제 8 항에 있어서,

상기 스트로브 신호 발생수단은,

상기 압축 테스트 인에이블 신호 및 상기 글로벌 입출력 라인에 데이터가 실린 시점을 나타내는 신호를 논리 조합하는 논리 수단; 및

상기 논리 수단으로부터 출력된 신호를 이용하여 펄스 신호를 발생하는 펄스 발생수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

**【청구항 10】**

제 8 항에 있어서,

상기 초기화 신호 발생수단은,

상기 압축 테스트 인에이블 신호 및 상기 글로벌 입출력 라인에 데이터가 실린 시점을 나타내는 신호를 논리 조합하는 제1 논리 수단; 및

상기 압축 테스트 인에이블 신호 및 상기 논리 수단으로부터 출력된 신호를 논리 조합하는 제2 논리 수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

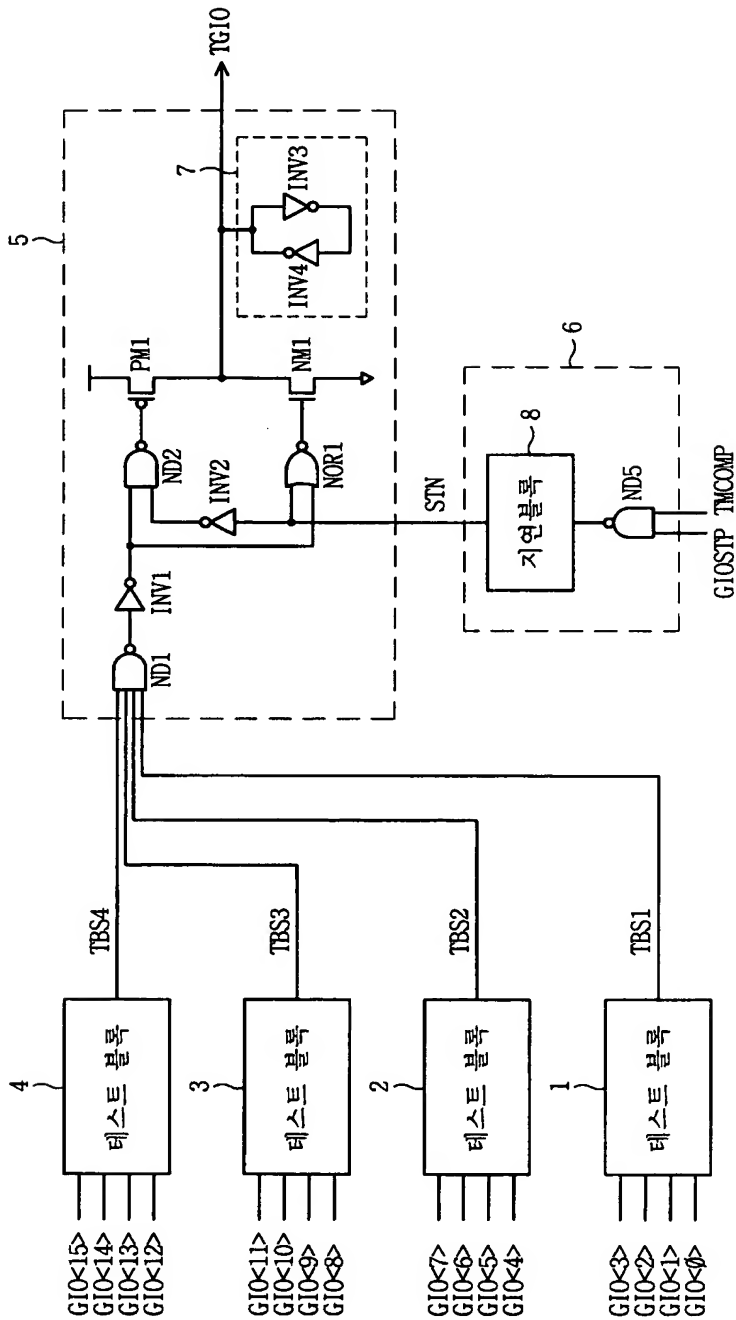
**【청구항 11】**

제 8 항에 있어서,

상기 구동 제어 신호 발생수단은, 상기 스트로브 신호 발생수단으로부터 출력된 신호를 반전 지연하는 지연 수단을 포함하는 것을 특징으로 하는 입출력 압축 회로.

## 【도면】

【도 1】



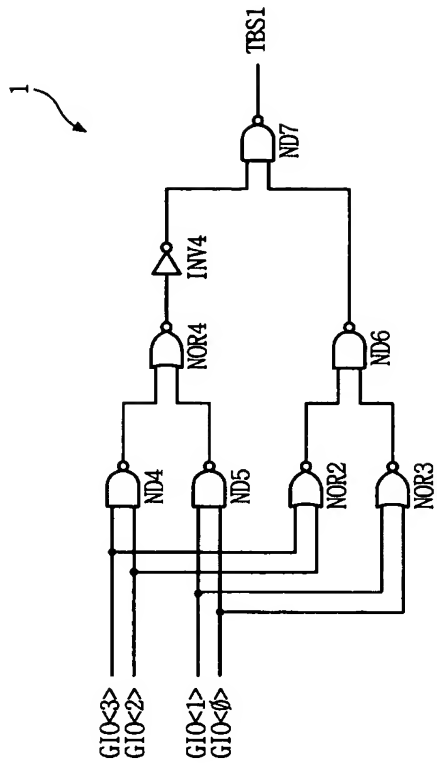




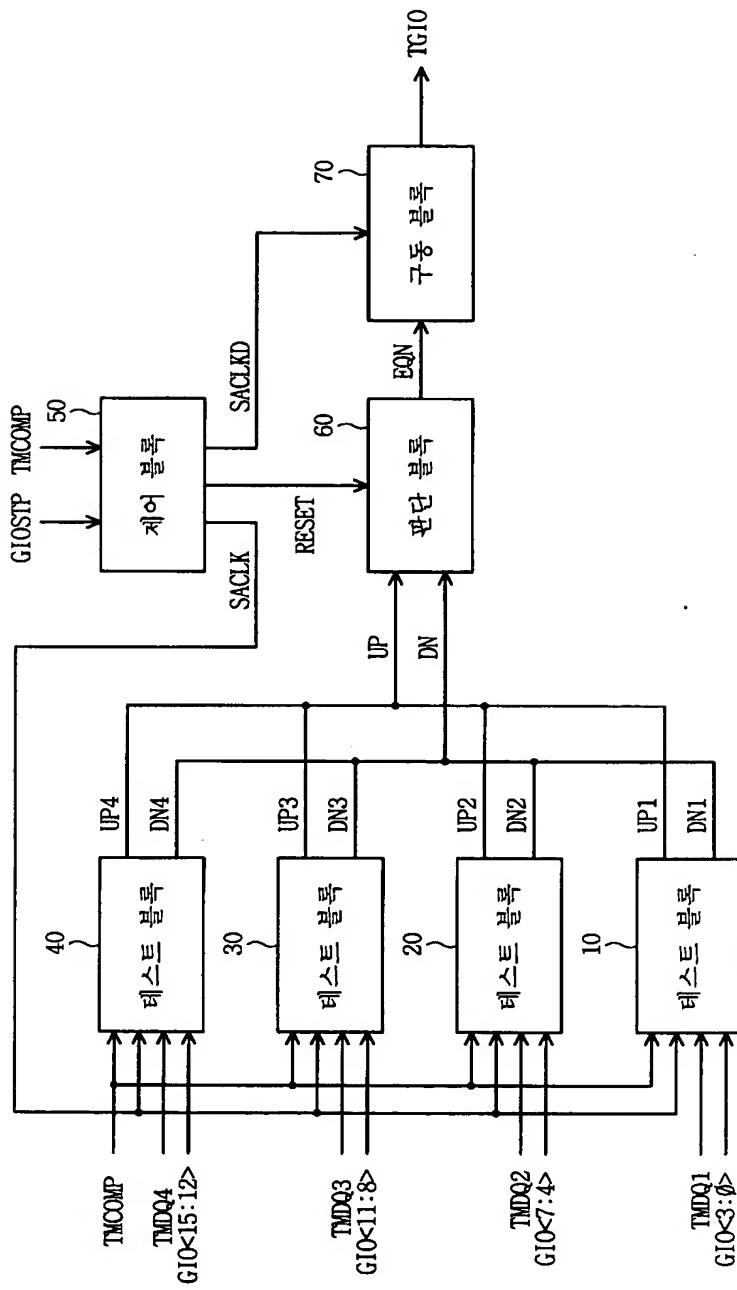
1020030024416

출력 일자: 2003/10/14

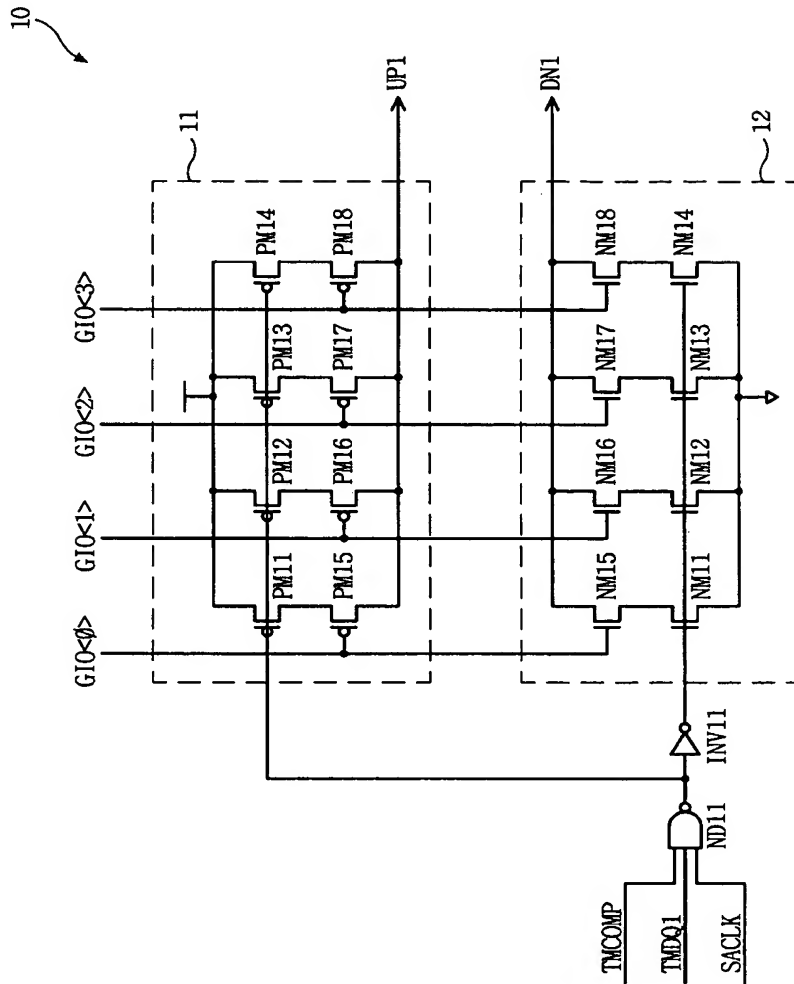
【도 2】



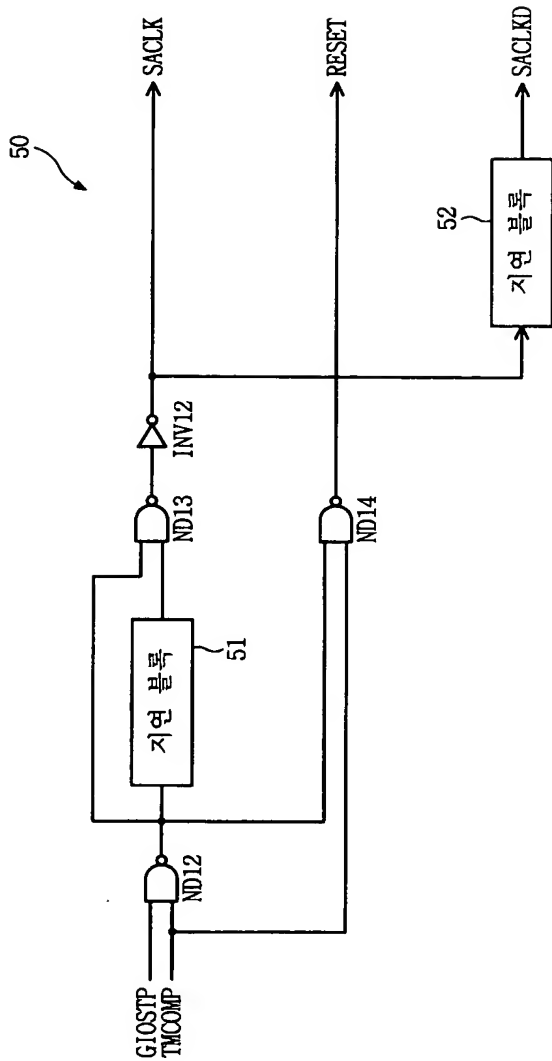
【도 3】



【도 4】



【도 5】

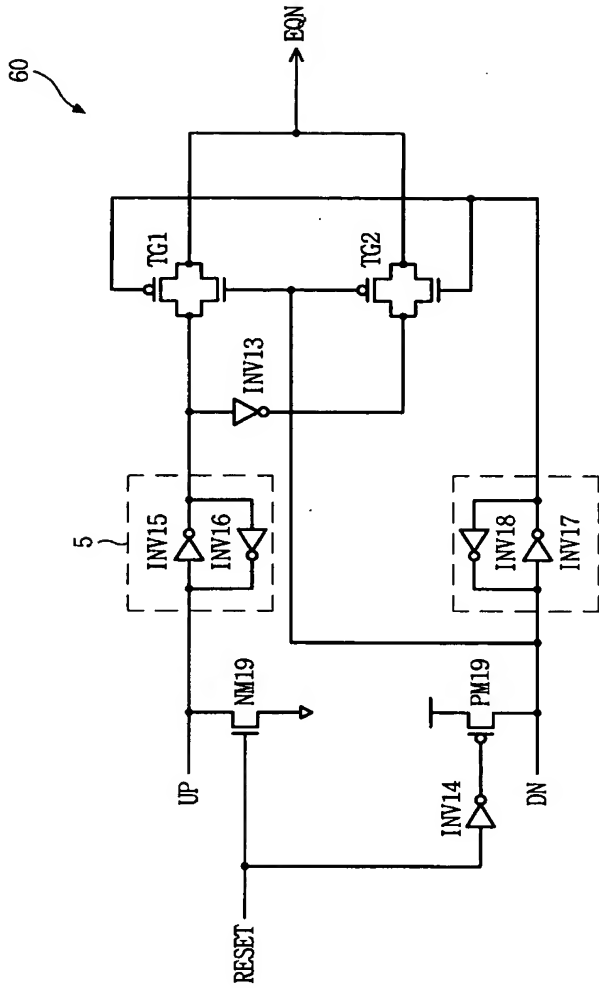




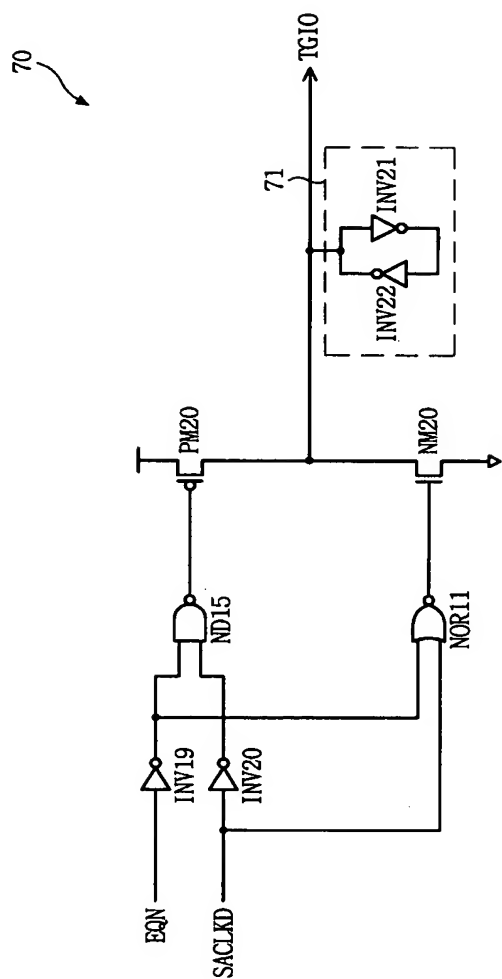
1020030024416

출력 일자: 2003/10/14

【도 6】



【도 7】



## 【 8】

